

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-149283

(43)Date of publication of application : 02.06.1999

(51)Int.Cl. G09G 5/12
 G09G 5/00
 G09G 5/00
 G09G 5/00

(21)Application number : 09-314833

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.11.1997

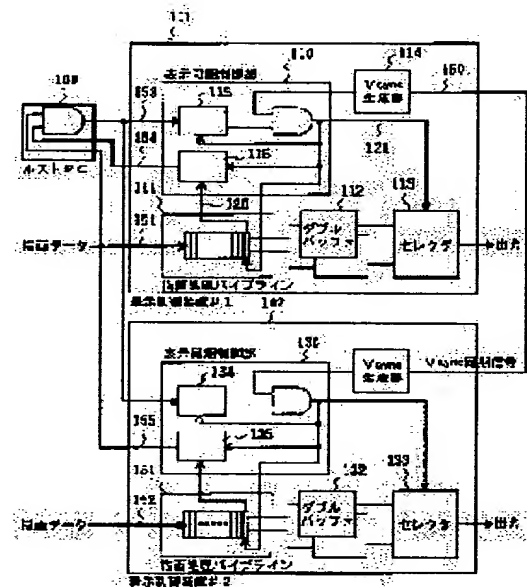
(72)Inventor : MATSUMOTO KAZUTO
 ONIKI KAZUNORI

(54) SYNCHRONIZING SYSTEM OF MULTIDISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multidisplay image without flicker by simultaneously collectively indicating a changeover of double buffers from a host PC to all display control devices so as to synchronize a plurality of the display control device among them.

SOLUTION: A host PC 100 controls the frame completed command ready bits 116, 135 of all display control device in detail. For judging completion of plotting processes in all the display control devices, the logical product of all the frame completion command ready bits is obtained in the host PC 100, and when the plotting process are judged to be completed, all frame completion command execution approval bits 115, 134 are simultaneously set to allow the changeover process of double buffers 112, 132. Hereby, the display control devices are synchronized with each other by simple hardware to make display possible, and the multidisplay image without flicker can be provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The equipment which carries out drawing processing of the drawing data transmitted from a host processor, The frame memory of the double buffer configuration which stores the output of the this equipment to process, Judge that the writing of the drawing data for one frame was completed, and this double buffer is changed synchronizing with a Vsync (vertical synchronization) signal. In two or more display controls of the multi-display configuration which has equipment outputted to a display device After this host PC judges that the high order host PC supervised the drawing processing situation of each display control of this, and this drawing processing was completed with all display controls, The synchronous system of the multi-display characterized by taking the synchronization between two or more display controls by directing the change of this double buffer to package coincidence from this host PC at all display controls.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the display control of the multi-display configuration which can display on a high speed the drawing information crossed to two or more screens, without making it flicker.

[0002]

[Description of the Prior Art] The multi-display of a general example is explained using drawing 5 . The drawing field 500 of application own [this] is in the drawing application which is operating on Host PC, and drawing processing is performed to the primitive which exists in this field. The drawing data in this drawing field are transmitted to the display controls 501-503 connected respectively, and drawing processing is carried out. Within a display control, it has the drawing fields 510-512 assigned to each, and clipping processing of the drawing data transmitted by Host PC corresponding to it is carried out. In the drawing processing sections 504-506, drawing processing is carried out and the processed this drawing data are displayed on display devices 507-509, respectively. The multi-display which consists of two or more display devices by this is realized.

[0003] As a synchronous system of the multi-display of the conventional technique, next, to JP,9-204164,A In the multi-display display control equipped with the display and control section which controls the display process section respectively connected to two or more displays, and the display process section a display and control section A drawing processing performance-measurement means to measure the drawing processing engine performance of this display-processing section, and a drawing amount-of-data modification means to change the drawing amount of data according to the latest display-processing section of the drawing processing engine performance which the drawing processing performance-measurement means measured, By arranging the drawing amount of data which is equipped with a drawing data generation means to generate the drawing data with which the drawing amount of data was changed based on directions of a drawing amount-of-data modification means, and is transmitted to two or more display controls The synchronous system between the multi-displays that drawing of one frame is completed in all screens in a certain fixed time amount is indicated.

[0004]

[Problem(s) to be Solved by the Invention] Generally, with the display control of a multi-display configuration, the drawing data by which clipping processing was carried out corresponding to the drawing field which each display control takes charge of are transmitted to the drawing processing section, and drawing processing is carried out. When time difference was especially in these drawing data transmitted to each display control here or the above difference was in the amount of data of these drawing data by which clipping processing was carried out to some extent, dispersion arose in the drawing processing between each display controls, the drawing data which should be displayed into one frame between each displays shifted from the vertical synchronization, and were displayed, and there was a trouble that a flicker occurred. Although the synchronization between display controls was taken in the conventional multi-display by method which was mentioned above that this problem should be solved,

when it was going to display the data created with the drawing application complicated in recent years [, such as 3D-Graphics,], the problem of taking huge time amount was in processing of data by this method. Moreover, when the amount of data was reduced at the time of processing, the problem that the quality of a multi-display display deteriorated might occur.

[0005] The purpose of this invention is by taking the synchronization between display controls by simple hardware to offer a multi-display image without a flicker.

[0006]

[Means for Solving the Problem] The frame memory of a double buffer configuration in which the above-mentioned purpose stores the output of the drawing processing section, It is Vsync about the this double buffer after judging that the writing of the drawing data for one frame was completed. In the display control which has equipment which changes synchronizing with a signal and is outputted to a display device For example, the host PC is made to supervise the drawing processing situation of each display control. After this host PC judges that the drawing processing for one frame (one scene) was completed with all display controls, it is attained because this host PC directs the change of a double buffer to all display controls.

[0007]

[Embodiment of the Invention] Hereafter, the example of this invention is explained using a drawing. Drawing 1 is one example of this invention, and shows the hardware configuration of the display control of 2 screen configurations. In drawing 1 A display control 101 the drawing data sent from a high order processor Double buffer change directions and Vsync from a frame memory 112 and the display synchronusr-control section 110 of a double buffer configuration which store the bus 151 transmitted to the drawing processing section 111, the drawing processing section 111 which carries out drawing processing of these sent drawing data, and a drawing processing result It synchronizes with a signal. A double buffer 112 The selector 113 and selector 113 to change From the signal 120 and the display synchronusr-control section 110 which tell the display synchronusr-control section 110 about the drawing processing for one frame having been completed within the drawing processing pipeline of the display synchronusr-control section 110 to control and the drawing processing section 111, to a selector 113 the change of a double buffer 112 The signal 121 and Vsync to direct Vsync which generates a signal Vsync between the generation section 114 and a display control Vsync which takes the synchronization of a signal It consists of synchronizing signals 150.

[0008] Furthermore, the display synchronusr-control section 110 has the frame quit-command execute permission bit 115 set by host PC100, when drawing processing is completed with the frame quit-command ready bit 116 set when the drawing processing for one frame is completed in the drawing processing section 111, and all display controls. Moreover, Host PC is connected with the display control by the frame quit-command ready bit condition signals 154 and 155 for making host PC100 supervise the drawing processing situation of two display controls 101,102, respectively, and the frame quit-command execute permission signal 153 which directs change processing of a double buffer 112,132.

[0009] Drawing 2 , drawing 3 , and drawing 4 are used for below for the whole actuation, and it explains, quoting drawing 1 . The drawing data 151,152 inputted into two display controls 101,102, respectively consist of the frame quit command which shows termination of the drawing processing for one frame attached to the drawing data tail end by the drawing data and the display driver for one frame as shown in drawing 4 (A). Each drawing data is processed by the drawing processing pipeline while it is transmitted to the drawing processing section 111,131 (refer to step 2of drawing 2 a), and this processing result is stored in the frame memory 112,132 of a double buffer configuration in detail. Especially explanation is omitted as how using a double buffer here being well-known.

[0010] Here, as for drawing 4 (B), drawing data show how it is displayed on the drawing processing pipeline in the drawing processing section 111,131 of drawing 1 . The former picture data 401 are transmitted to the drawing processing section as polygon data. This drawing processing section performs drawing expansion until it carries out pixel expansion (402) of the polygon data to a frame memory, it is performing drawing processing and a frame quit command is transmitted to one frame memory (403). A

former picture is displayed on a display device because a selector changes the frame memory of a double buffer configuration after that (404).

[0011] In addition, as shown in drawing 6 , the output of a selector 602 is outputted to a display through DAC (digital-to-analog converter)601. Although the drawing data outputted by Host PC (drawing application) have two kinds, the usual drawing data and mouse cursor data, in fact, drawing processing of the usual drawing data is carried out in the drawing processing section and it is inputted into DAC601. Since drawing processing does not have to be carried out, mouse cursor data are transmitted by Host PC only to a display control with the drawing field where a mouse cursor exists, they are inputted into direct DAC601, without passing along the drawing processing section, and are outputted to a display.

[0012] Since a frame quit command (End Frame instruction of drawing 4 (A)) arrives at the drawing processing pipeline last stage in the drawing processing section 111,131 after the drawing processing for one frame is completed, the drawing processing section 111,131 which has recognized this attainment sets the frame quit-command ready bit 116,135 which corresponds, respectively (step 2b of drawing 2). In order to judge that host PC100 was supervising the frame quit-command ready bit 116,135 of all display controls in detail (refer to step 3 of drawing 3 a), and drawing processing was completed with all display controls, When it judges with having taken the AND of all frame quit-command ready bits within host PC100, and this drawing processing having been completed Change processing of a double buffer is permitted by setting all the frame quit-command execute permission bits 115,134 to coincidence (step 3b of drawing 3).

[0013] Although this processing is indicated in the form where an AND is taken by hardware, in drawing 1 , it can guess easily that it is also possible to realize the set of this judgment and the frame quit-command execute permission bit 115,134 by the software on Host PC. At the display synchronoustr-control section 110,130 to which this processing was permitted, it is Vsync. Synchronizing with a signal, change processing of a double buffer 112,132 is directed to a selector 113,133, and change processing of a double buffer is performed (step 2c of drawing 2).

[0014] Moreover, reset of the frame quit-command ready bit 116,135 and the frame quit-command execute permission bit 115,134 and deletion of the frame quit command currently held by the last stage of the drawing processing pipeline in the drawing processing section 111,131 are performed to coincidence, drawing processing of the drawing data of degree frame is started, and this processing result begins (step 2d of drawing 2) to be written in another frame memory of a double buffer configuration.

[0015] As mentioned above, the synchronization between two or more display controls by the simple hardware configuration can be taken, and it becomes possible to realize a multi-display without a flicker at high speed.

[0016]

[Effect of the Invention] According to this invention, in the display control of a multi-display configuration, the multi-display which takes the synchronization between these display controls by simple hardware, and the display of is attained, and does not have a flicker can be constituted.

[Translation done.]

(11)特許出願公開番号

特開平11-149283

(43)公開日 平成11年(1999)6月2日

(51) Int.Cl.⁶

G 0 9 G 5/12
5/00

識別記号

5 1 0
5 5 0
5 5 5

FI

C 0 9 G 5/12
5/00

510V
550P
555W

審査請求 未請求 請求項の数1 OL (全 7 頁)

(21)出願番号 特願平9-314833

(22)出願日 平成9年(1997)11月17日

(71)出願人 000003108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 松本 一人

茨城県日立市大みか町五丁目2番1号 株
式会社日立製作所大みか工場内

(72) 發明者 鬼木 一徳

茨城県日立市大みか町五丁目2番1号 株
式会社日立製作所大みか工場内

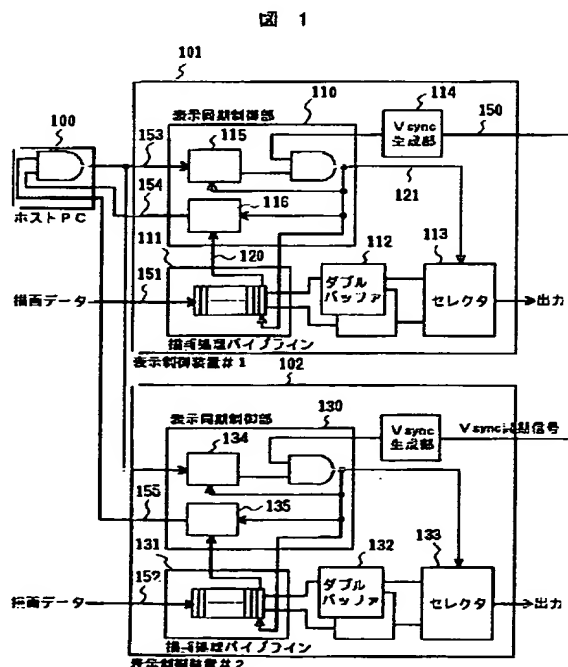
(74)代理人 弁理士 小川 勝男

(54) 【発明の名称】 マルチディスプレイの同期方式

(57) 【要約】

【課題】マルチディスプレイ構成の表示制御装置において、複数画面に渡る描画情報を、ちたつことなく高速に表示させること。

【解決手段】各々の表示制御装置間の描画処理状況を監視し、すべての表示制御装置で1フレーム分の描画処理が終了した後に、すべての表示制御装置で同時にVsync信号に同期してダブルバッファ構成のフレームメモリの切り替え処理を実施する。



【特許請求の範囲】

【請求項1】上位処理装置から転送されてくる描画データを描画処理する装置と、該処理する装置の出力結果を貯えるダブルバッファ構成のフレームメモリと、1フレーム分の描画データの書き込みが終了したことを判定し、該ダブルバッファをVsync（垂直同期）信号に同期して切り替え、ディスプレイデバイスに出力する装置を有するマルチディスプレイ構成の複数の表示制御装置において、各々の該表示制御装置の描画処理状況を上位ホストPCが監視し、すべての表示制御装置で該描画処理が終了したことを該ホストPCが判定した後、該ダブルバッファの切り替えを該ホストPCからすべての表示制御装置に一括同時に指示することで複数の表示制御装置間の同期を取ることを特徴とするマルチディスプレイの同期方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の画面に渡る描画情報を、ちらつかせることなく高速に表示させることのできるマルチディスプレイ構成の表示制御装置に関するものである。

【0002】

【従来の技術】一般的な例のマルチディスプレイについて図5を用いて説明する。ホストPC上で動作している描画アプリケーション内には該アプリケーション自身の描画領域500があり、この領域内に存在するプリミティブに対して描画処理を行っている。該描画領域内にある描画データは各々接続された表示制御装置501～503に転送され描画処理される。表示制御装置内ではそれぞれに割り当てられた描画領域510～512を持っており、それに対応してホストPCより転送されてくる描画データをクリッピング処理する。該処理された描画データはそれぞれ描画処理部504～506にて描画処理されディスプレイデバイス507～509に表示される。これにより複数のディスプレイデバイスから構成されるマルチディスプレイが実現される。

【0003】次に、従来技術のマルチディスプレイの同期方式として、特開平9-204164号公報には、複数のディスプレイに各々接続された表示処理部と表示処理部を制御する表示制御部を備えたマルチディスプレイ表示制御装置において、表示制御部は、該表示処理部の描画処理性能を測る描画処理性能測定手段と、描画処理性能測定手段が測定した描画処理性能の最も遅い表示処理部に合わせて描画データ量を変化させる描画データ量変更手段と、描画データ量変更手段の指示に基づいて描画データ量の変更された描画データを生成する描画データ生成手段を備え、複数の表示制御装置に転送される描画データ量をそろえることで、ある一定時間内にすべての画面において1フレームの描画が終了するといったマルチディスプレイ間の同期方式が記載されている。

【0004】

【発明が解決しようとする課題】一般にマルチディスプレイ構成の表示制御装置では、各々の表示制御装置が担当する描画領域に対応してクリッピング処理された描画データが描画処理部に転送され描画処理される。ここで、各々の表示制御装置に転送されてくる該描画データに特に時間差があったり、クリッピング処理された該描画データのデータ量にある程度以上の差があると、各々の表示制御装置間の描画処理にばらつきが生じ、各々のディスプレイ間で1フレーム中に表示されるべき描画データが垂直同期からずれて表示され、ちらつきが発生するといった問題点があった。従来のマルチディスプレイではこの問題を解決すべく上述したような方式で表示制御装置間の同期を取っていたが、3次元グラフィックス等近年複雑化する描画アプリケーションで作成されたデータを表示しようとする则该方式ではデータの加工に膨大な時間をとられるという問題があった。また、加工時にデータの量を減らした場合にはマルチディスプレイ表示の品質が劣化するという問題が発生することがあった。

【0005】本発明の目的は、簡易なハードウェアで表示制御装置間の同期を取ることににより、ちらつきのないマルチディスプレイ映像を提供することにある。

【0006】

【課題を解決するための手段】上記目的は、描画処理部の出力結果を貯えるダブルバッファ構成のフレームメモリと、1フレーム分の描画データの書き込みが終了したことを判定した後、該ダブルバッファをVsync 信号に同期して切り替えディスプレイデバイスに出力する装置を有する表示制御装置において、各々の表示制御装置の描画処理状況を例えばホストPCに監視させ、すべての表示制御装置で1フレーム（1シーン）分の描画処理が終了したことを該ホストPCが判定した後に、すべての表示制御装置に対しダブルバッファの切り替えを該ホストPCが指示することで達成される。

【0007】

【発明の実施の形態】以下、本発明の実施例を図面を用いて説明する。図1は本発明の一実施例であり2画面構成の表示制御装置のハードウェア構成を示す。図1において、表示制御装置101は上位処理系から送られてくる描画データを描画処理部111に転送するバス151、送られてきた該描画データを描画処理する描画処理部111、描画処理結果を貯えるダブルバッファ構成のフレームメモリ112、表示同期制御部110からのダブルバッファ切り替え指示とVsync 信号に同期してダブルバッファ112を切り替えるセレクト113、セレクト113を制御する表示同期制御部110、描画処理部111の描画処理パイプライン内で1フレーム分の描画処理が終了したことを表示同期制御部110に知らせる信号120、表示同期制御部110からセレクト113

にダブルバッファ112の切り替えを指示する信号121、Vsync 信号を生成するVsync 生成部114、表示制御装置間のVsync 信号の同期を取るVsync 同期信号150から構成される。

【0008】さらに、表示同期制御部110は、描画処理部111で1フレーム分の描画処理が終了したときにセットされるフレーム終了コマンドレディビット116、すべての表示制御装置で描画処理が終了したときにホストPC100によりセットされるフレーム終了コマンド実行許可ビット115を持つ。また、2つの表示制御装置101、102の描画処理状況をそれぞれホストPC100に監視させるためのフレーム終了コマンドレディビット状態信号154、155、ダブルバッファ112、132の切り替え処理を指示するフレーム終了コマンド実行許可信号153にて表示制御装置とホストPCが接続されている。

【0009】以下に全体の動作を図2、図3、図4を用い、図1を引用しながら説明する。2つの表示制御装置101、102にそれぞれ入力される描画データ151、152は、図4(A)に示すように1フレーム分の描画データとディスプレイドライバにより描画データ最後尾に添付された1フレーム分の描画処理の終了を示すフレーム終了コマンドから成る。それぞれの描画データは描画処理部111、131へ転送されると共に描画処理パイプラインによって処理され(図2のステップ2a参照)、該処理結果は逐一ダブルバッファ構成のフレームメモリ112、132に貯えられる。ここでダブルバッファの使い方は公知として特に説明は省略する。

【0010】ここで、図4(B)は図1の描画処理部111、131内の描画処理パイプラインで描画データがどのように表示されるかを示したものである。元絵データ401はポリゴンデータとして描画処理部へ転送される。該描画処理部はポリゴンデータをフレームメモリに画素展開(402)し描画処理を行っており、1つのフレームメモリに対してフレーム終了コマンドが転送されてくるまで描画展開を行う(403)。その後ダブルバッファ構成のフレームメモリの切り替えをセクタが行うことでディスプレイデバイスに元絵が表示される(404)。

【0011】尚、図6に示すようにセクタ602の出力はDAC(デジタルアナログコンバータ)601を通してディスプレイに出力される。実際には、ホストPC(描画アプリケーション)より出力される描画データは通常の描画データとマウスカーソルデータの2種類があり、通常の描画データは描画処理部にて描画処理されDAC601に入力されるが、マウスカーソルデータは描画処理される必要がないのでマウスカーソルが存在する描画領域を持つ表示制御装置に対してのみホストPCから転送され、描画処理部を通らずに直接DAC601に入力されディスプレイに出力される。

【0012】1フレーム分の描画処理が終了すると描画処理部111、131内の描画処理パイプライン最後段にフレーム終了コマンド(図4(A)のEnd Frame命令)が到達するので、該到達を認知した描画処理部111、131はそれぞれ対応するフレーム終了コマンドレディビット116、135をセットする(図2のステップ2b)。ホストPC100はすべての表示制御装置のフレーム終了コマンドレディビット116、135を逐一監視しており(図3のステップ3a参照)、すべての表示制御装置で描画処理が終了したことを判定するため、ホストPC100内ですべてのフレーム終了コマンドレディビットの論理積をとり、該描画処理が終了したと判定した場合は、すべてのフレーム終了コマンド実行許可ビット115、134を同時にセットすることでダブルバッファの切り替え処理を許可する(図3のステップ3b)。

【0013】本処理は、図1中ではハードウェアで論理積をとる形で記載しているが、該判定とフレーム終了コマンド実行許可ビット115、134のセットはホストPC上のソフトウェアで実現することも可能であることは容易に類推できる。該処理を許可された表示同期制御部110、130ではVsync 信号に同期してセクタ113、133にダブルバッファ112、132の切り替え処理を指示し、ダブルバッファの切り替え処理が実行される(図2のステップ2c)。

【0014】また同時に、フレーム終了コマンドレディビット116、135とフレーム終了コマンド実行許可ビット115、134のリセットと、描画処理部111、131内の描画処理パイプラインの最後段にホールドされているフレーム終了コマンドの削除が行われ、次フレームの描画データの描画処理が開始されダブルバッファ構成のもう一方のフレームメモリに該処理結果が書き込まれ始める(図2のステップ2d)。

【0015】以上のように、簡易なハードウェア構成で複数の表示制御装置間の同期を取ることができ、高速でちらつきのないマルチディスプレイを実現することが可能となる。

【0016】

【発明の効果】本発明によれば、マルチディスプレイ構成の表示制御装置において、簡易なハードウェアで該表示制御装置間の同期を取って表示が可能となり、ちらつきのないマルチディスプレイを構成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のハードウェア構成を示す図。

【図2】表示制御装置内の表示同期制御部の処理フローを示す図。

【図3】ホストPCの描画処理監視フローを示す図。

【図4】描画処理部に転送されてくる描画データの一例とその処理の流れを示す図。

【図5】一般的なマルチディスプレイの構成を示す図。

【図6】マウスカーソルデータが転送されてきたときの
該データの流れを示す図。

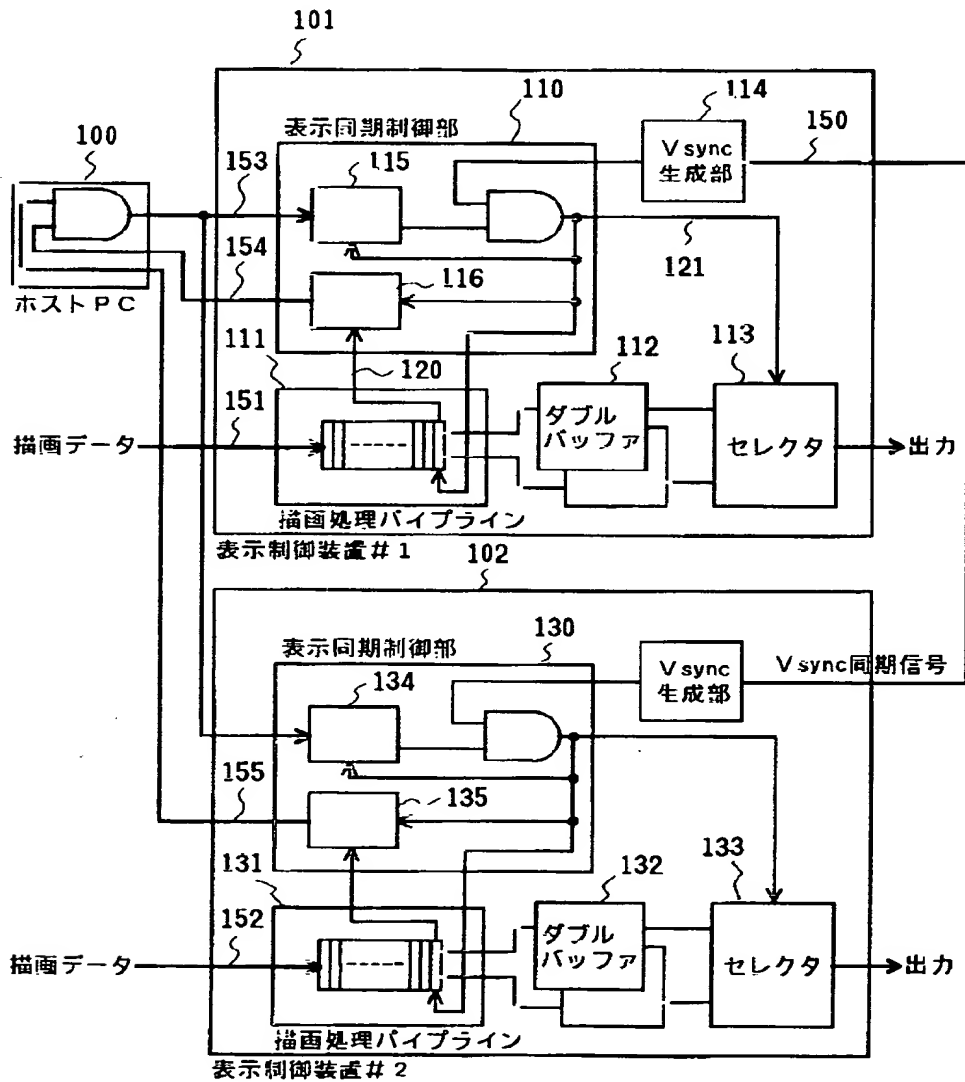
【符号の説明】

100…ホストPC、101、102…表示制御装置、
110、130…表示同期制御部、111、131…描

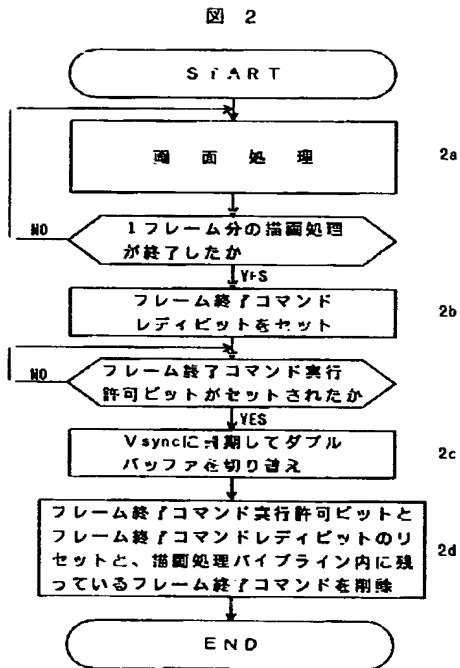
画処理部、112、132…ダブルバッファ、113、
133…セクタ、114…Vsync 生成部、115、1
34…フレーム終了コマンド実行許可ビット、116、
135…フレーム終了コマンドレディビット。

【図1】

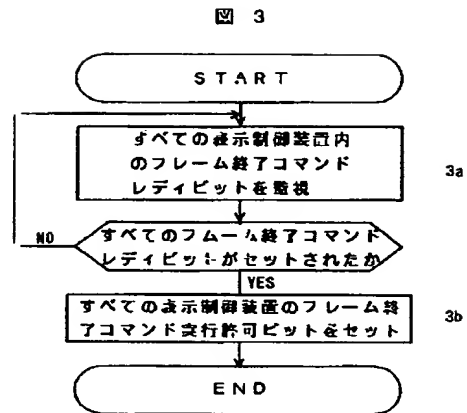
図 1



【図2】

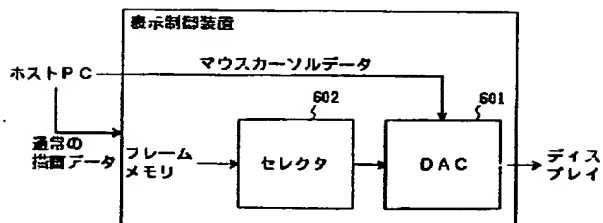


【図3】



【図6】

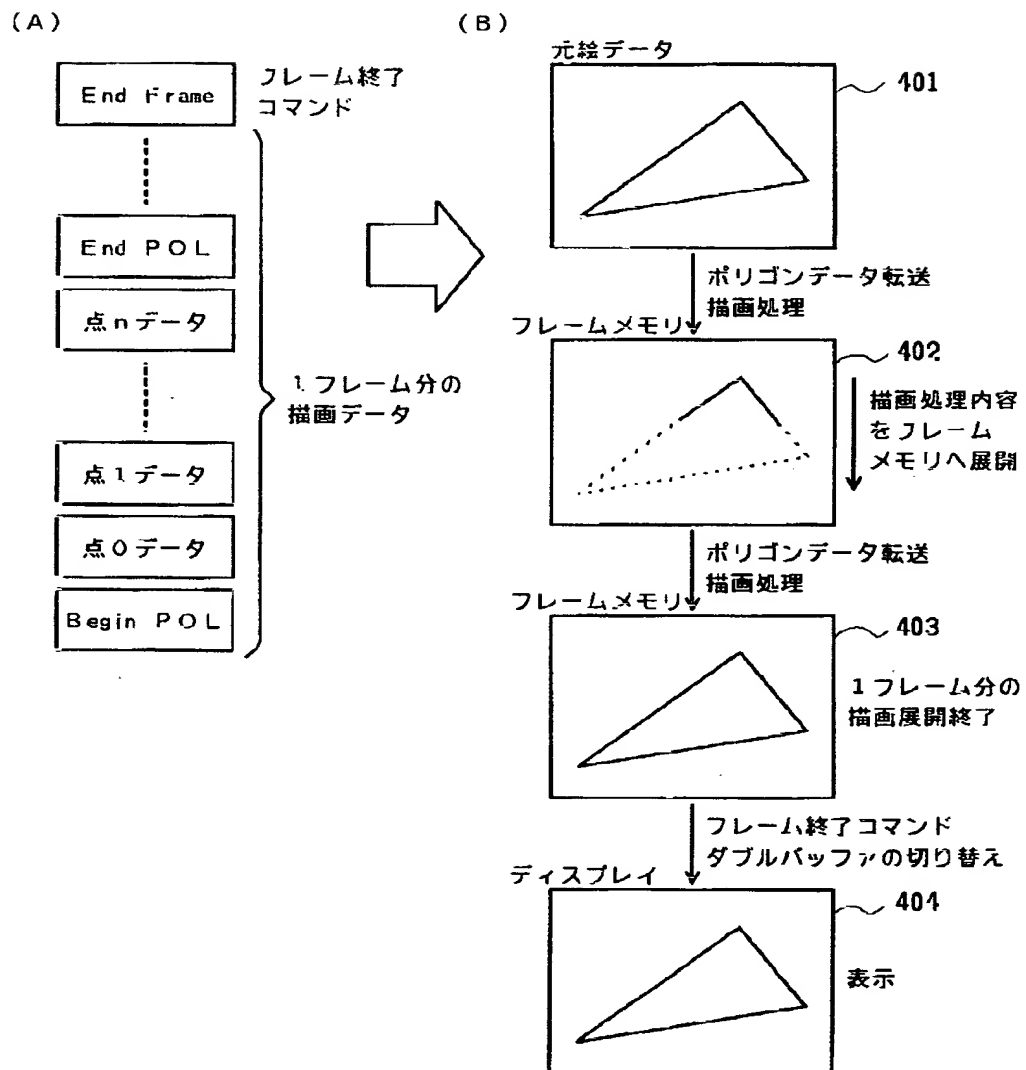
図 6



【図4】

図 4

描画処理部に転送されてくる描画データの一例と処理の流れ



【図5】

図 5

